

⑫ 公開特許公報 (A)

平4-106782

⑬ Int. Cl.⁵
G 11 C 11/401

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月8日

8526-5L G 11 C 11/34

362 B

審査請求 未請求 請求項の数 2 (全12頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特願 平2-225627

⑰ 出願 平2(1990)8月27日

⑱ 発明者 古谷 清広 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 弁理士 大岩 増雄 外2名

明細書

1 発明の名称

半導体記憶装置。

2 特許請求の範囲

(1) 行列状に配置されたメモリセルアレイと、一行分のメモリセルのデータを増幅するセンスアンプと、行アドレス信号入力端子に供給された行アドレス信号に従って上記メモリセルアレイの行を選択する行デコードと、列アドレス信号入力端子に供給された列アドレス信号に従って上記メモリセルアレイの列を選択する列デコードと、各メモリサイクルの開始を規定するクロック信号が供給されるクロック入力端子とを具備し、

上記行デコードの入力アドレス信号が変化した第1のメモリサイクルでは第1の信号を発生し、該第1のメモリサイクルに接続するサイクルにおいて上記第1のメモリサイクルでアクセスされたメモリセルの読出し、書き込みを実行し、上記行デコードの入力アドレス信号が変化しない第2のメモリサイクルでは該第2のメモリサイクル内でメ

モリセルの読出し、書き込み動作が完了するようになした半導体記憶装置。

(2) DRAMメモリセルと、リフレッシュ要求発生回路と、リフレッシュ・アドレス発生回路と、各メモリサイクルの開始を規定するクロック信号が供給されるクロック入力端子とを具備し、

リフレッシュ要求信号が発生したメモリサイクルでは読み出し、書き込み動作を無効にすると共に、上記リフレッシュ・アドレス発生回路で発生された行アドレスのリフレッシュを行ない、且つ第1の信号をチップ外に供給するようになした半導体記憶装置。

3 発明の詳細な説明

〔産業上の利用分野〕

この発明は、高い周波数のクロックで動作するマイクロプロセッサと関連して使用するのに適した半導体記憶装置に関するものである。

〔従来の技術〕

近年、半導体技術の進歩に伴ってマイクロプロセッサのクロック周波数が高速化してきた。マイ

クロブロセッサは、例えば第11図に示すように、クロック信号CLKのサイクル1の間に半導体記憶装置から読出アドレスに従って読出されたデータを処理し、サイクル2の間に上記半導体記憶装置にデータを書き込むという操作を行なう。従って、クロックのサイクル時間が短かくなれば、単位時間に処理できる回数が増加し、装置の高速化、高性能化が可能になる。サイクル時間を短縮するには、マイクロプロセッサの演算時間を短縮すると共に、半導体記憶装置のサイクル時間も短縮しなければならない。

第12図はIEE Journal Solid-state Circuits, Vol.22, NO.5, October 1987、第657頁乃至第662頁に記載された行アドレス信号と列アドレス信号の多重化を行なわないでサイクル時間を短縮したDRAM(ダイナミックRAM)の概略構成図である。同図で、1は行アドレスバッファ、4は行デコーダ、5はメモリセルアレイ、6は列デコーダ、7は列アドレスバッファ、8はメモリ制御回路、9は入出力回路である。

れ、ビット線対に電位差が生ずる。時刻t₂でセンスアンプ26を動作させて上記の電位差を増幅する。時刻t₃で列デコーダ6によって選択されたビット線対がI/O線対に読み出され、入出力回路9を経てチップ外に読み出される。

書き込みサイクル2の開始時刻t₄でビット線BL₁、BL₂を-V_{cc}にプリチャージする。時刻t₅で入力アドレスに対応するワード線WL₁が“H”になり、ビット線BL₁にメモリセルキャパシタ31が接続され、ビット線対に電位差が生じる。時刻t₆でセンスアンプ26を動作させてこの電位差を増幅する。時刻t₇で列デコーダ6によって選択されたビット線対のみにI/O線対のデータが書き込まれて、このデータはメモリセルキャパシタ31に書き込まれる。

〔発明が解決しようとする課題〕

従来の半導体記憶装置は以上のように構成されているので、クロック信号CLKの1サイクルの時間は、ビット線のプリチャージに要する時間、メモリセルのセンサアンプの動作時間、列デコ-

行デコーダ4は行アドレスバッファ1を経て供給される行アドレス信号A₀～A₁₆に従って行列状に配置されたメモリセルの一行を選択し、同様に列デコーダ6は列アドレスバッファ7を経て供給される列アドレス信号A₀～A₁に行って上記メモリセルの一例を選択し、これによって1個のメモリセルを選択する。制御回路8に供給されるWE信号は書き込みサイクルを指定し、OE信号は読み出しサイクルを指定する。

次に第12図のDRAMの動作を、DRAMのセンス増幅回路を示す第13図と第14図のタイミング図を用いて説明する。

第13図で、26はセンスアンプ、27、28、29、30はMOSFET、31、32はキャパシタ、WL₀、WL₁はワード線、BL₁、BL₂はビット線、I/O、I/O₁はI/O線である。第14図の読み出しサイクル1の開始時刻t₀においてビット線BL₁、BL₂を $\frac{1}{2}V_{cc}$ にプリチャージする。時刻t₁で入力アドレスに対応するワード線WL₁が“H”になり、ビット線BL₁にメモリセルキャパシタ31が接続さ

ダで選択されたビット線対のデータの読み出し、書き込み時間の和となり、サイクル時間を充分に短縮できないという問題があった。

第12図および第13図の回路で、第15図の動作タイミング図に示すようにスタチックコラムモードというアクセス方式がある。第15図で、時刻t₀～t₁までの読み出し動作は第14図の読み出し動作と同じである。第14図では時刻t₁でクロック信号CLKを“H”としたが、第15図では時刻t₁でCLKを“H”としないで列アドレスのみを変更する。これにより、DRAMは上記アドレス変化を検知して、I/O線をイコライズし、時刻t₂で列デコーダ6がビット線対を選択する。次に、列アドレスのみが変化した場合も同様に動作する。2番目、3番目のデータの読み出しに際しては、ビットグリチャージ、センスアンプは必要としないので、サイクル2と3のサイクル時間をサイクル1の時間に比べて短縮することができる。

ところが、このスタチックコラムモードアクセス方式では、行アドレスが同じで列アドレスのみ

が異なるデータの読み出し、書き込みサイクルは、行アドレスが異なるデータの読み出し書き込みサイクルよりクロック信号CLKのサイクル時間を短縮させると共に、この列アドレスのみが異なるデータの読み出し、書き込みサイクルでは、クロック信号CLKを“H”にしてはならない等、クロック信号CLK自身の制御が複雑になるという問題があった。

また、DRAMを用いた従来の半導体記憶装置で、SRAM(スタチックRAM)のようにリフレッシュが不要なメモリを構成したものとして、IEEE ISSCC DIGEST OF TECHNICAL PAPERS, Feb. 1986、第252頁乃至第253頁に示された擬似SRAMがある。この擬似SRAMの概略構成を第16図に示す。

第16図において、1は行アドレスバッファ、4は行デコーダ、6は列デコーダ、7は列アドレスバッファ、8は制御回路、9は入出力回路、41はリフレッシュ・タイマ、43はセレクタ、44はリフレッシュ・アドレスカウンタである。

リフレッシュ用の2回の読み出し動作が完了するのに充分な時間が必要であり、サイクル時間を短縮することができないという問題があった。

この発明は、上記のような従来の半導体記憶装置の問題点を解消するためになされたもので、第1の目的は、半導体記憶装置の平均的なサイクル時間を短縮した半導体記憶装置を得ることにあり、第2の目的は、DRAMを用いた半導体記憶装置において、自動リフレッシュ機能を具えていても、平均的なサイクル時間が伸びない半導体記憶装置を得ることにある。

(課題を解決するための手段)

この発明の第1の実施例に係る半導体記憶装置は、行アドレスが変化したことを検知する検知回路を具え、行アドレスが変化した場合は、マイクロプロセッサに対して所要のアドレスのデータの読み出し／書き込み動作が次のサイクルに完了することを通報すると共に、ビット線のプリチャージとアドレス変化後の行のメモリセルのセンス増幅を行い、次のサイクルに所要のアドレスのデータの

第16図の擬似SRAMの動作を第17図のタイミング図を参照して説明する。入力アドレスに相当するワード線によって時刻t₁において選択されたメモリセルデータは、DRAMと同様にセンスアンプで増幅されて、時刻t₂で入出力回路9を経て外部に読み出される。

ところで、このような擬似SRAMでは、リフレッシュ・タイマ41で一定時間毎にリフレッシュ要求を出し、リフレッシュ・アドレスカウンタ44をリフレッシュ動作毎に1ずつカウントアップさせて発生した行アドレスのワード線で選択されたメモリセルをリフレッシュする。

サイクル2で、リフレッシュ・タイマ41からリフレッシュ要求が入ると、時刻t₃の入力アドレスに相当する読み出し動作にひき続いて、セレクタ43によりリフレッシュ・アドレスカウンタの出力が行デコーダ4に入力される。時刻t₄でリフレッシュ・アドレスカウンタで指定されたワード線が選択されて、リフレッシュ動作が行なわれる。

この構成では、メモリのサイクル時間は通常用

読み出し／書き込みを行い、行アドレスが変化しなかった場合は、最初のサイクルに所要のアドレスのデータの読み出しが完了するようにしたものである。

この発明の第2の実施例に係る半導体記憶装置は、リフレッシュ・タイマを具え、リフレッシュ要求が発生したサイクルでは、マイクロプロセッサにリフレッシュ中であることを通報する信号を発生して次のサイクルに読み出し／書き込み動作を再実行するよう指示すると共に、リフレッシュ・アドレスカウンタで指定された行のリフレッシュを行ない、次のサイクルで再実行された読み出し／書き込み動作に対しては第1の発明と同様に作用するようにしたものである。

(作用)

この発明の半導体記憶装置においては、クロックのサイクル時間をスタチックゴラムモードのサイクル時間と同程度の短い時間に設定しておいて、半導体記憶装置が行アドレスの変化を検知した信号あるいはリフレッシュ中であるという信号

をマイクロプロセッサが受取った場合のみ、マイクロプロセッサは 1 サイクルの動作を停止して次のサイクルにデータの読み出し／書き込みを行なえばよい。列アドレスを下位アドレスに設定しておけば、行アドレスが変化する頻度は列アドレスの変化する頻度より小さい。従って、クロックの周期の複雑な制御なしにクロックのサイクル時間を平均的にスタンチックコラムモードのサイクル時間と同程度に短縮することができる。

〔実施例〕

以下、図示の実施例によってこの発明を詳細に説明する。

第 1 図において、1 は行アドレスバッファ、2 は行アドレス変化検知回路、3 はビット線プリチャージ信号 $BLEQ$ およびセンスアンプ活性化信号 SE を発生する信号発生回路、4 は行デコーダ、5 はメモリセルアレイ、6 は列デコーダ、7 は列アドレスバッファ、8 はメモリ制御回路、9 は入出力回路、42 は $BUSY$ 信号発生回路である。第 1 図の装置で、行アドレス変化検知回路、

インバータ 12、13 で構成されたラッチ回路 81 に転送される。前の行アドレスはインバータ 14、15 よりなるラッチ回路 82 に保持されているので、排他的 OR 回路 16 の出力 TA は “H” となり、OR 回路 17 の出力の節点 N 1 は “H” となる。節点 N 1 の電位はクロック信号 CLK_1 に応答して n 型 MOSFET 10 を経てインバータ 20、21 で構成されたラッチ回路 83 に保持され、 $BUSY$ 信号となる。
サイクル 2 では、 $BUSY$ 信号とクロック信号 CLK_2 との論理積でプリチャージ信号 $BLEQ$ が発生し、ビット線 BL のプリチャージと新しい行のメモリセルデータのセンス増幅を行なう。 $BUSY$ 信号は列デコーダ 6 に供給されて、サイクル 2 での列デコーダ 6 の動作を禁止する。プリチャージ信号 $BLEQ$ が “H” の期間中にビット線対の電位を $\frac{1}{2} V_{cc}$ にプリチャージする。ビット線がプリチャージされた後、ワード線 WL が立上がり、メモリセルアレイ 5 中の所定のメモリセルのデータがビット線対に読み出される。

センスアンプ活性化信号 SE は $BUSY$ 信号と

信号発生回路 3、および $BUSY$ 信号発生回路 42 を除く他の部分の構造は第 4 図に示す従来の半導体記憶装置と同様である。

第 2 図は第 1 図の行アドレス変化検知回路 2、信号発生回路 3、 $BUSY$ 信号発生回路 42、およびこれらの各回路にクロック信号 CLK_1 、 CLK_2 を発生する回路の概略構成図である。同図で、行アドレス変化検知回路 2 は行アドレスバッファ 1 を経てアドレス信号 $A_0 \sim A_4$ が供給される同じ構造の複数の回路 18 が設けられている。

第 2 図で、10、11、19 は n 型 MOSFET、12、13、14、15、20、21、22、36、39 はインバータ、23、35 は遷延回路、24 は NOR 回路、16 は排他的 OR 回路、17、40 は OR 回路、25、37、38 は AND 回路である。

第 1 図、第 2 図の動作を第 3 図の動作タイミング図および先に示した第 13 図を参照して説明する。サイクル 2 の開始時刻 t_1 において行アドレスが変化したとき、この行アドレス変化はクロック信号 CLK に応答して p 型 MOSFET 10 を経て

クロック信号 CLK_2 を遷延した信号の論理積で発生し、時刻 t_2 でセンスアンプ 26 を活性化する。また、行アドレスが変化しないサイクルでは $BUSY$ 信号は “L” になり、センスアンプ活性化信号 SE は “H” となり、ビット線 BL 、 BL' のデータを保持する。

第 4 図は、この発明による半導体記憶装置 34 とマイクロプロセッサ 33 とを組合せたシステムの概略構成図である。マイクロプロセッサ 33 は記憶装置 34 にアドレス信号 $Address$ 、出力活性化信号 OE 、および書き込み信号 WE を供給し、双方向のデータ線 I/O でデータの読み出し／書き込みを行なう。また、記憶装置 34 は行アドレスが変化したとき、 $BUSY$ 信号をマイクロプロセッサ 33 に供給する。

第 4 図の半導体記憶装置 34 とマイクロプロセッサ 33 との組合せ装置の動作を第 5 図の動作タイミング図を参照して説明する。

第 5 図で、サイクル 1、2 で列アドレスのみが

変化したアドレスがプロセッサ33から記憶装置34に供給され、同じサイクル中にデータ線I/Oを通じてデータの読み出し／書き込みが行なわれる。サイクル3で行アドレスが変化したアドレスがプロセッサから供給される。半導体記憶装置34は行アドレスが変化したことを検知してBUSY信号をプロセッサ33に供給し、プロセッサ33に対してこのサイクルでは何もしないで次のサイクルにおいてこのサイクルの動作を再実行するように指示すると共に、新しい行のメモリセルデータのセンス増幅を行なわせ、サイクル4においてサイクル3でアクセスしたアドレスのデータの読み出し、書き込みを行なわせる。サイクル5、6においてはクロック信号CLKに同期して列アドレスのみが変化したアドレスがプロセッサから供給され、同じサイクル中にデータの読み出し、書き込みが行なわれる。なお、BUSY信号に正極性のものを用いたが、負極性としてReady信号（すなわち、“H”のときにそのサイクルにおいてデータができる）としてもよい。

になって、キャパシタ51は該MOSFET48を経て放電されて、節点Dの電位は低レベルになる。

サイクル3の冒頭でMOSFET45はオンになり、このとき節点Dの電位は低レベルであるから、リフレッシュ要求信号REFREQは“L”になる。

サイクル3の時点1でMOSFET46はクロック信号CLK1でオンになり、“L”的リフレッシュ要求信号REFREQが節点Aに伝達されて、該節点Aの電位は再び“L”になり、MOSFET48はターンオフして、節点Dの電位はRCの時定数で決まるスピードで上昇して行く。

第9図は第6図のBUSY信号発生回路42で、オア回路17にリフレッシュ要求信号REFREQが入力していることを除けば第2図のBUSY信号発生回路42と同様である。

次に第6図の装置の動作を第10図のタイミング図を参照して説明する。サイクル2でリフレッシュ要求信号REFREQが“H”になると、セレクタ43はリフレッシュ・アドレスカウンタ44の出

次に、この発明の第2の実施例を第6図を参考して説明する。同図で、41はリフレッシュ・タイマ、43はセレクタ、44はリフレッシュ・アドレスカウンタである。その他の部分の構造は第1図の装置と同様である。

第7図はリフレッシュ・タイマ41の構成例を示す図、第8図はその動作を説明するタイミング図である。同図において、45、46、48、49はMOSFET、50は抵抗、51はキャパシタ、52、53、54、55はインバータ、56は遅延回路である。抵抗50とキャパシタ51との節点Dの電位は、これらの抵抗50とキャパシタ51によって決まるRC時定数によって上昇して行き、サイクル2で節点Dの電位はクロック信号CLKで駆動されるMOSFET46を経て伝達されてリフレッシュ要求信号REFREQは“H”となる。この“H”的リフレッシュ要求信号REFREQは遅延クロック信号CLKL1で駆動されるMOSFET46を経て節点Aに伝達されて節点Aの電位は“H”になる。これと同時に節点Aの電位によりMOSFET48はオン

力を行デコーダ4に供給すると共に、BUSY信号発生回路42はBUSY信号を発生する。BUSY信号によってプリチャージ。センス活性化信号発生回路3は第1図の回路と同様にピット線のイコライズとセンス増幅を制御し、リフレッシュすべき行のメモリセルの読み出しを行なう。

BUSY信号を受取ったマイクロプロセッサは次のサイクルも同じ読み出し動作を実行する。第10図のBUSY信号の実線はリフレッシュした行と、再実行した読み出した行が同一であった場合を示している。リフレッシュした行のアドレスと再実行した読み出した行のアドレスとが異っていた場合は、第10図のBUSY信号の破線で示すように、第1図の実施例と同様にもう1サイクルBUSY信号が発生して、マイクロプロセッサにもう1サイクル読み出しを再実行させるようとする。

リフレッシュ要求行のアドレスと再実行した読み出した行のアドレスとが変化しないサイクルはDRAMのスタックコラムモードのサイクル時間と同程度に短縮可能である。

〔発明の効果〕

以上のように、第1図に関して説明したこの発明の第1の実施例によれば、DRAMメモリセルを用いた半導体記憶装置のサイクル時間を平均的にDRAMのスタチックコラムモードのサイクル時間と同程度に短縮することができる。従って、DRAMメモリセルを用いて記憶装置を大容量化しても、SRAMと同等のサイクル時間で使用することができるので、高速マイクロプロセッサのメモリシステムを安価に提供給することができる。

第6図に関して説明したこの発明の第2の実施例によれば、DRAMメモリセルを自動的にリフレッシュする機能をもっていても、第16図で説明した擬似SRAMのようにサイクル時間を長くする必要がないので、よりSRAMに近い高速でリフレッシュが不要の記憶装置を提供することができる。

4 図面の簡単な説明

第1図はこの発明の第1の実施例に係る半導体

第9図は第6図の半導体記憶装置で使用されるBUSY信号発生回路の一例を示す概略図。

第10図は第6図の半導体記憶装置の動作を説明するための動作タイミング図。

第11図は一般にマイクロプロセッサの動作を説明する動作タイミング図。

第12図は従来の半導体記憶装置の一例を示す概略構成図。

第13図は従来のDRAMのセンス増幅回路を示す図。

第14図は第13図のセンス増幅回路の動作を説明する動作タイミング図。

第15図は第12図の半導体記憶装置で、スタチックコラムモードでアクセスする方法を示す動作タイミング図。

第16図は擬似SRAMを用いた半導体記憶装置の一例を示す概略構成図。

第17図は第16図の擬似SRAMを用いた半導体記憶装置の動作を説明する動作タイミング図である。

記憶装置の概略構成図。

第2図は第1図の装置中の行アドレス変化検知回路、ピット線プリチャージおよびセンスアンプ活性化信号発生回路、BUSY信号発生回路およびクロック信号CLK₁およびCLK₂発生回路の概略構成図。

第3図は第1図および第2図の装置の動作を説明するための動作タイミング図。

第4図は第1図に示すこの発明の第1の実施例に係る半導体記憶装置とマイクロプロセッサとの組合せを示す図。

第5図は第4図の半導体記憶装置とマイクロプロセッサとの組合せ回路の動作を説明する動作タイミング図。

第6図はこの発明の第2の実施例に係る半導体記憶装置の概略構成図。

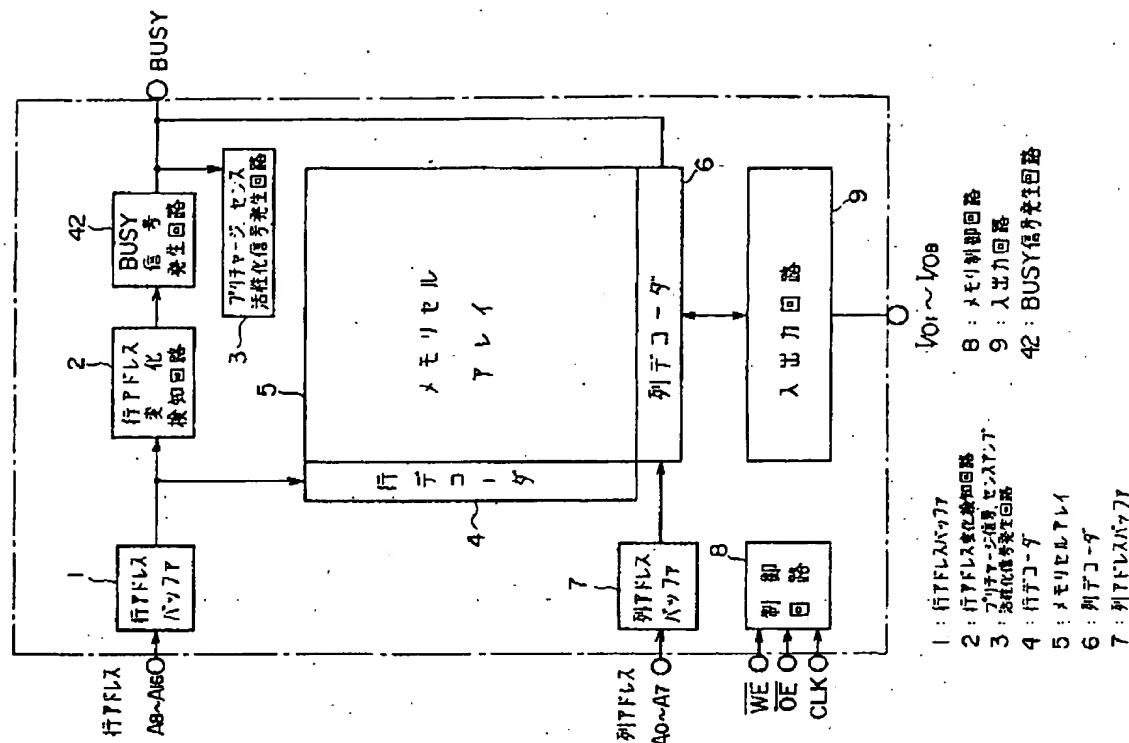
第7図は第6図の半導体記憶装置で使用されるリフレッシュ・タイマの一例を示す回路図。

第8図は第7図のリフレッシュ・タイマの動作を説明する動作タイミング図。

第1図、第6図において、1…行アドレスバッファ、2…行アドレス変化検知回路、3…ピット線プリチャージ、センスアンプ活性化信号発生回路、4…行デコーダ、5…メモリアレイ、6…列デコーダ、7…列アドレスバッファ、8…制御回路、9…入出力回路、41…リフレッシュ・タイマ、42…BUSY信号発生回路、43…セレクタ、44…リフレッシュ・アドレスカウンタ。

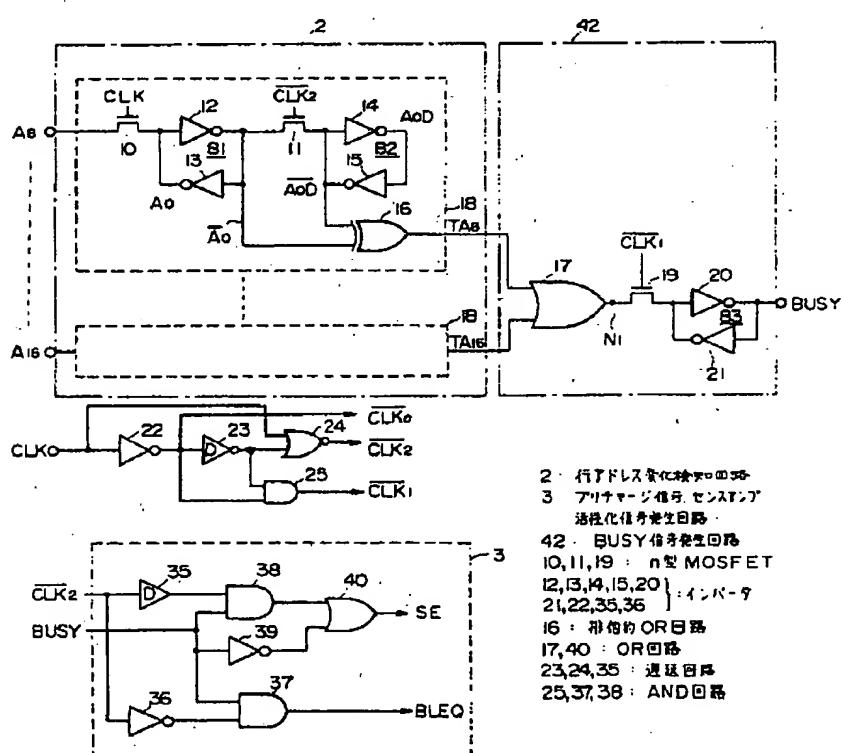
代理人、大岩 増雄

第1図



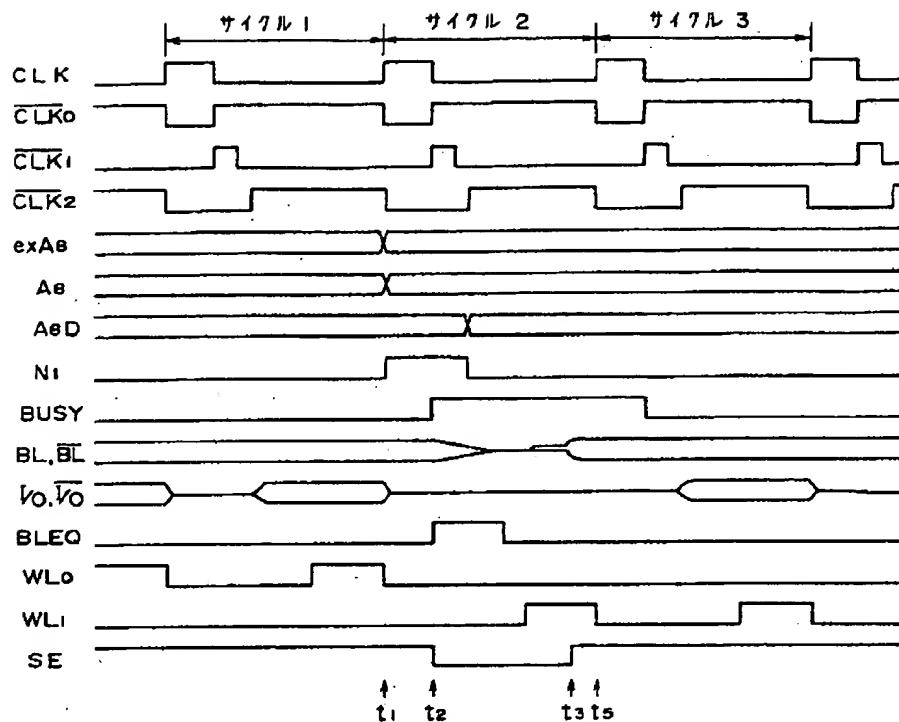
1: 行アドレスバッファ
 2: 行アドレス検知回路
 3: アリチャージ信号発生回路
 4: 制御回路
 5: メモリセルアレイ
 6: 列デコーダ
 7: 列アドレスバッファ
 8: メモリ制御回路
 9: 入出力回路
 42: BUSY信号発生回路

第2図

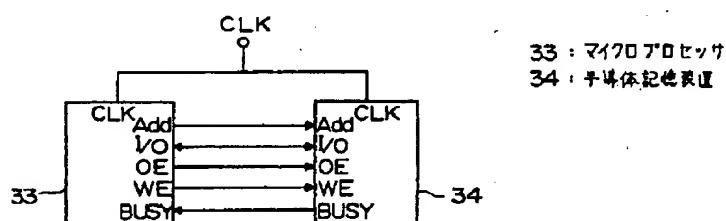


2: 行アドレス検出部
 3: アリチャージ信号発生回路
 42: BUSY信号発生回路
 10, 11, 19: n型 MOSFET
 12, 13, 14, 15, 20: インバータ
 21, 22, 23, 25, 27: AND回路
 17, 19, 21, 23, 25, 27: OR回路
 23, 24, 26: 逆送回路
 25, 27, 29: AND回路

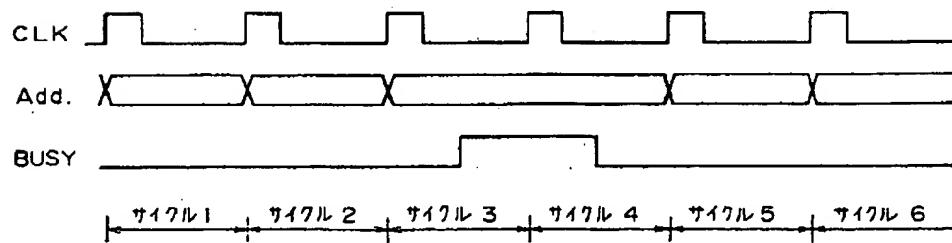
第 3 図



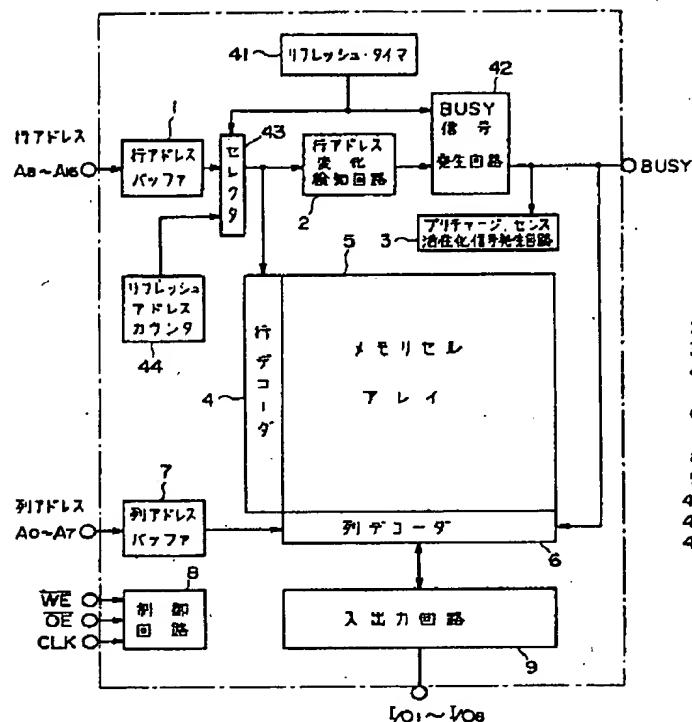
第 4 図



第 5 図

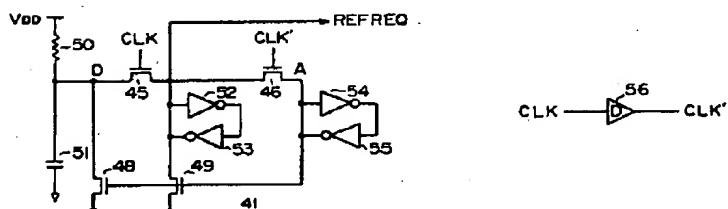


第 6 図



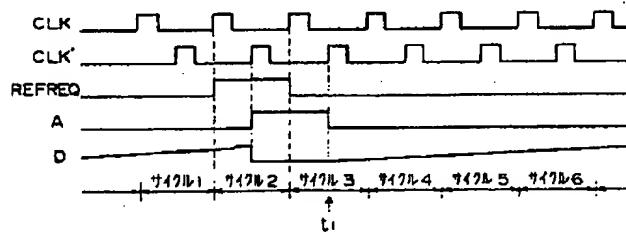
- 1 : 行アドレスバッファ
- 2 : 行アドレス変化検知回路
- 3 : パリティーチェック・センシング回路
- 4 : 行デコーダ
- 5 : メモリセルアレイ
- 6 : 列デコーダ
- 7 : 列アドレスバッファ
- 8 : 制御回路
- 9 : 入出力回路
- 41 : リフレッシュ・タイマ
- 42 : BUSY信号発生回路
- 43 : レーカ

第 7 図

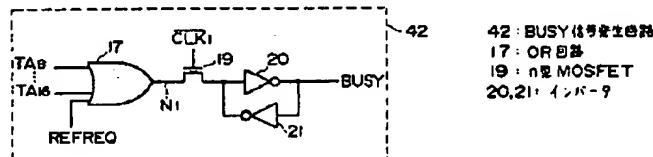


- 41 : リフレッシュ・タイマ
- 45,46,48,49 : MOSFET
- 50 : 比抵抗
- 51 : キャパシタ
- 52,53,54,55 : インバー
- 56 : 遅延回路

第 8 図

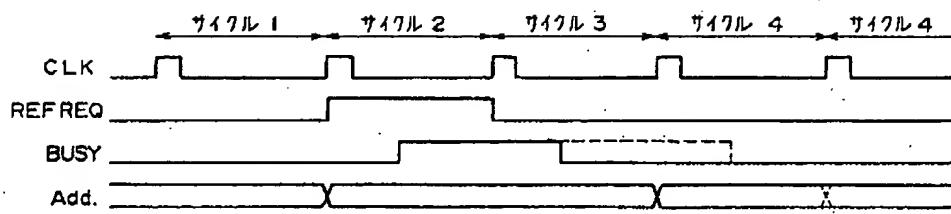


第 9 図

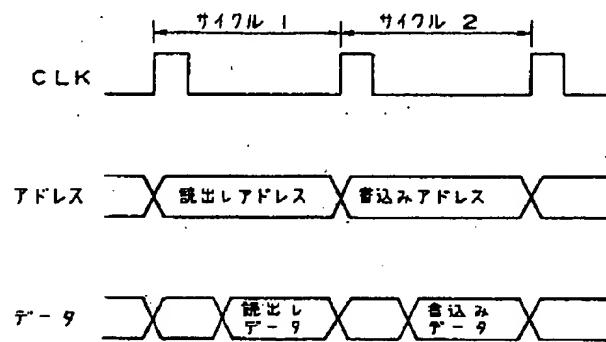


- 42 : BUSY信号発生回路
- 17 : OR回路
- 19 : n型MOSFET
- 20,21 : インバー

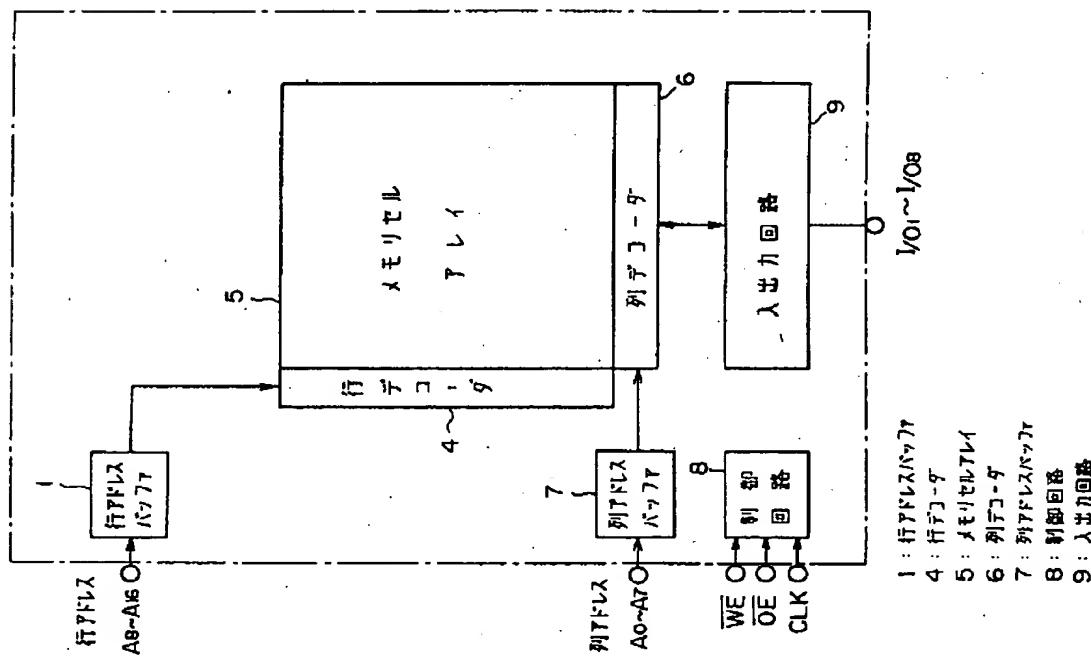
第 10 図



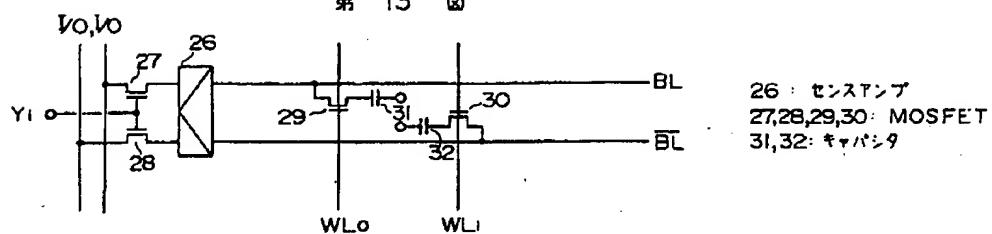
第 11 図



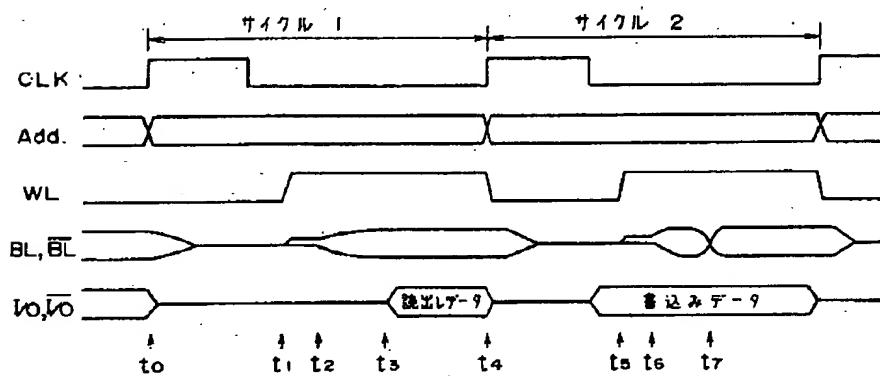
第 12 図



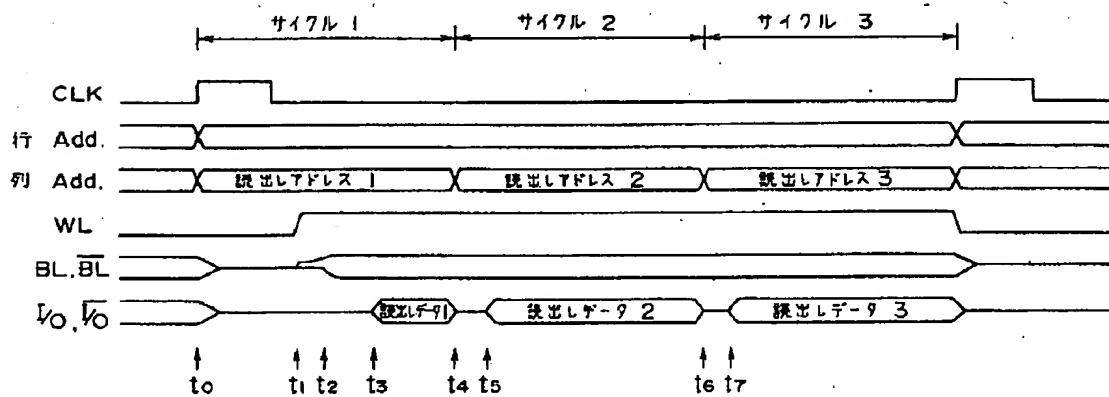
第 13 図



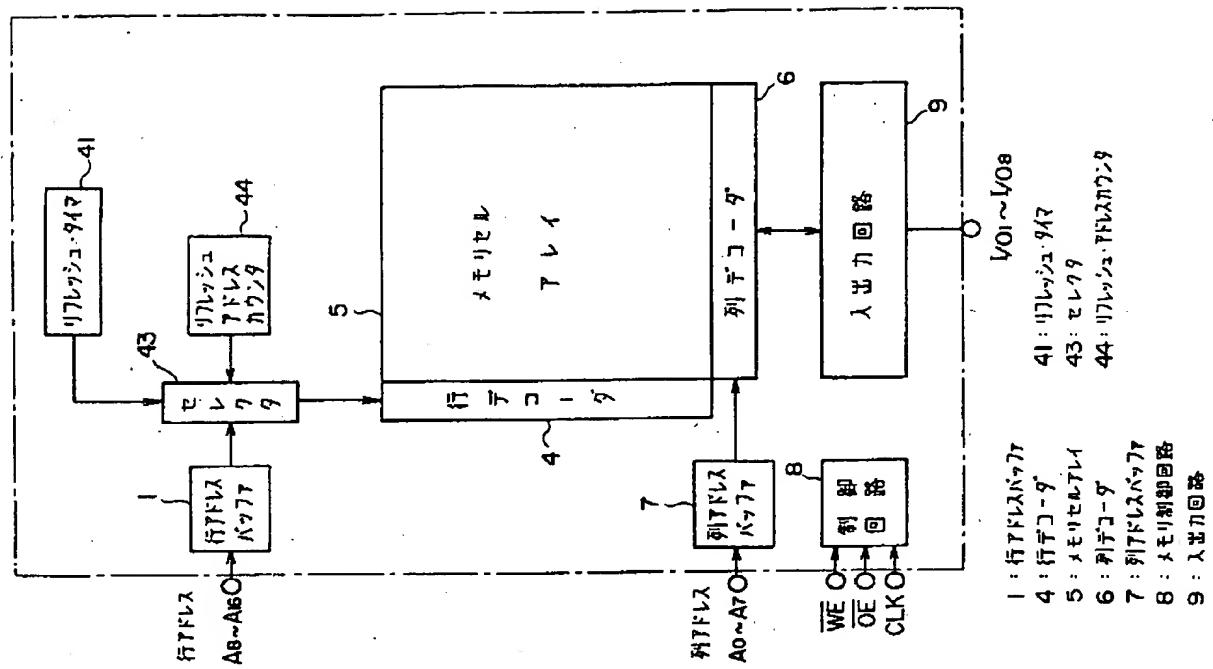
第 14 図



第 15 図

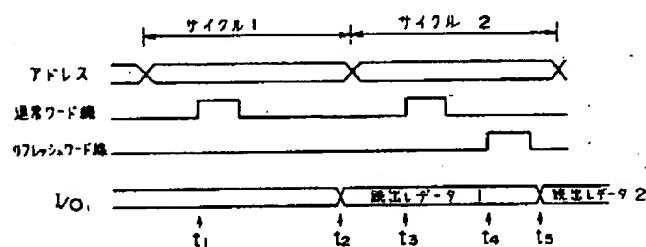


第16図



1 : 行アドレスバス
 4 : 行データ
 41 : メモリセルアレイ
 43 : 行アドレス
 44 : リードデータバスパッケッジ
 5 : モリセレクト
 6 : 列データ
 7 : 列アドレスバスパッケッジ
 8 : モリ制御回路
 9 : 出力回路

第17図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成7年(1995)12月22日

【公開番号】特開平4-106782

【公開日】平成4年(1992)4月8日

【年通号数】公開特許公報4-1068

【出願番号】特願平2-225627

【国際特許分類第6版】

G11C 11/407

【F1】

G11C 11/34 354 C 6866-5L

手続補正書 (特許法第17条の2による補正)
平成6年11月10日

特許庁長官

1 事件の表示
特願平2-225627号2 発明の名称
半導体記憶装置3 術正をする者
事件との關係 特許出願人

名称 (601) 三鍵電機株式会社

4 代理人
住所 東京都千代田区丸の内二丁目2番3号
三鍵電機株式会社内
氏名 (8217) 弁理士 高田 守

(連絡先 03(3213)3421 法務・知的財産権本部)



5 補正の対象

明細書の「発明の詳細な説明」、「図面の簡単な説明」の各欄および図面。

6 補正の内容

(1) 明細書の第4頁第13行乃至第19行を下記の通りに訂正する。

記

第13回で、26はセンサアンプ、27、28、29、30はMOSFET、31、32はキャパシタである。MOSFET 29とキャパシタ 31により1個のメモリセルを構成し、同様にMOSFET 32とキャパシタ 30により他の1個のメモリセルを構成している。WL₁、WL₂は行デコーダによって選択されるワード線、BL₁、BL₂は列デコーダによって選択されるビット線、I/O₁、I/O₂はI/O線である。第14回の終出しサイクル1の開始時刻t₁において、各ビット線上に接続されたプリチャージ回路(図示せず)によりビット線BL₁、BL₂をV_{cc}にプリチャージする(但し、V_{cc}はチップ全体に供給される電源电压を表す)。時刻t₂で行デコーダ1によって選択された入力アドレスに対応する例えばワード線WL₁が"1"になり、ビ

(2) 同書第6頁第1行中の「ビット線對」を「第14回のBL₁、BL₂に示すようにビット線對」と訂正する。(3) 同書第5頁第7行中の「時刻t₁で」を「時刻t₁で行デコーダ1によって選択された」と訂正する。

(4) 同書第8頁第2行中の「入力アドレス」を「行デコーダ1によって選択された入力アドレス」と訂正する。

(5) 同書第11頁第13行中の「第1回において、」を「第1回に示すこの発明の半導体記憶装置の第1の実施例において、」と訂正する。

(6) 同書第12頁第12行乃至第15行を下記の通りに訂正する。

記

12、13、14、15、20、21はインバータ、16は排他的OR回路、17はOR回路である。第2回(b)で、35は選択回路、36、39はインバータ、37、38はAND回路、40はOR回路である。第2回(c)で、22は

インバータ、23は遅延回路、24はNOR回路、25はAND回路である。

- ⑨ 同書第13頁第11行中の「ビット線BLの」を「この信号BL EQによってビット線BL、 \overline{BL} の」と訂正する。
- ⑩ 同書第14頁第18行中の「2で列」を「2ではクロック信号CLKに同期して列」と訂正する。
- ⑪ 同書第16頁第1行中の「この発明の第2」を「この発明の半導体記憶装置の第2」と訂正する。
- ⑫ 同書第16頁第8行中の「同図において、45、46、48、49は」を「第7図において、45、46、48は」と訂正する。
- ⑬ 同書第16頁第10行中の「55はインバータ、56は遅延回路である。」を「55はインバータである。キャッシュ51、MOSFET48の各1つの電極は接地電位点に接続されている。第8図に示すように、」と訂正する。
- ⑭ 同書第17頁第3行中の「MOSFBT45」を「クロック信号CLKによりMOSFBT45」と訂正する。
- ⑮ 同書第20頁第3行中の「回路、ビット線」を「回路の概略構成図、第2図(c)はビット線」と訂正する。
- ⑯ 同書第20頁第4行中の「活性化信号発生回路、BUSY」を「活性化信号発生回路の概略構成図、第2図(c)はBUSY」と訂正する。
- ⑰ 同書第21頁第8行中の「従来の」を「この発明の半導体記憶装置でも使用される公知の」と訂正する。
- ⑱ 明細書を次の正誤表の通りに訂正する。

正誤表

頁	行	誤	正
4	5	行って	従って
"	6	一例	1例
5	2	動作させて	活性化して
"	3	デコーダ8によって	デコーダ8のアドレス信号Y1によって

"	11	動作させて	活性化して
"	12	デコーダ8によって	デコーダ8のアドレス信号Y1によって
"	14	このデータはメモリ	このデータは最終的にメモリ
8	15	ビットプリチ	ビット線のプリチ
"	16	センスアンプは	センスアンプの活性化は
11	20	検知回路、	検知回路2、
12	2	第4図	第12図
"	4	第2図	第2図(a)～(c)
"	11	第2図で、	第2図(b)で、
"	16	第2図	第2図(a)～(c)
13	7	S F E T 1 8	S F E T 1 8
"	10	C L K	C L Kの反転信号
"	15	ビット線対の	ビット線対BL、 \overline{BL} の
"	17～18	立上がり、	立上がりって“H”になり、
14	2	センスアンプ28を	第13図のセンスアンプ28に供給されてこれを
"	7	この発明	第1図に示すこの発明
"	10	34にアドレス	34に行、列の各アドレス
"	14	B U S Y	このことを知らせるBUSY
15	4	3で行アドレス	3では行アドレス
"	4～5	プロセッサ	プロセッサ33
16	13	サイクル2で	サイクル2の開始時点で
"	17～18	C K L	C L K
18	5	センス増幅	センスアンプの動作
20	2	第2図	第2図(a)

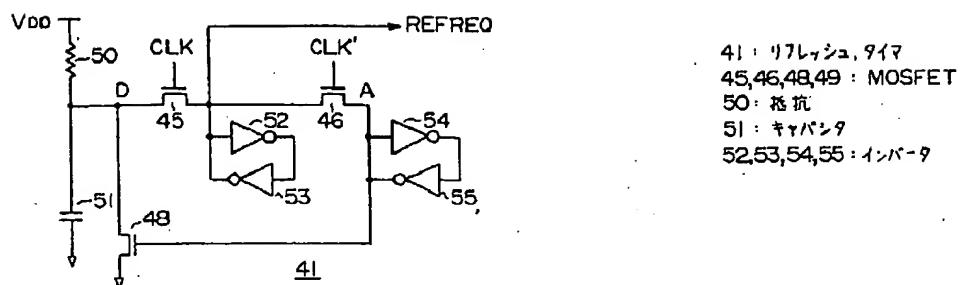
- ⑲ 図面中、第2図、第3図、第7図、第13図をそれぞれ別紙のものと並べる。

添付書類

説明用図面(第2図、第3図、第7図、第13図)

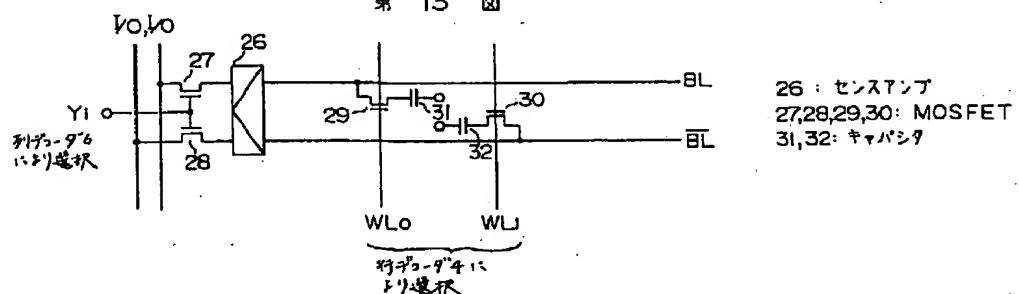
以上

第 7 図



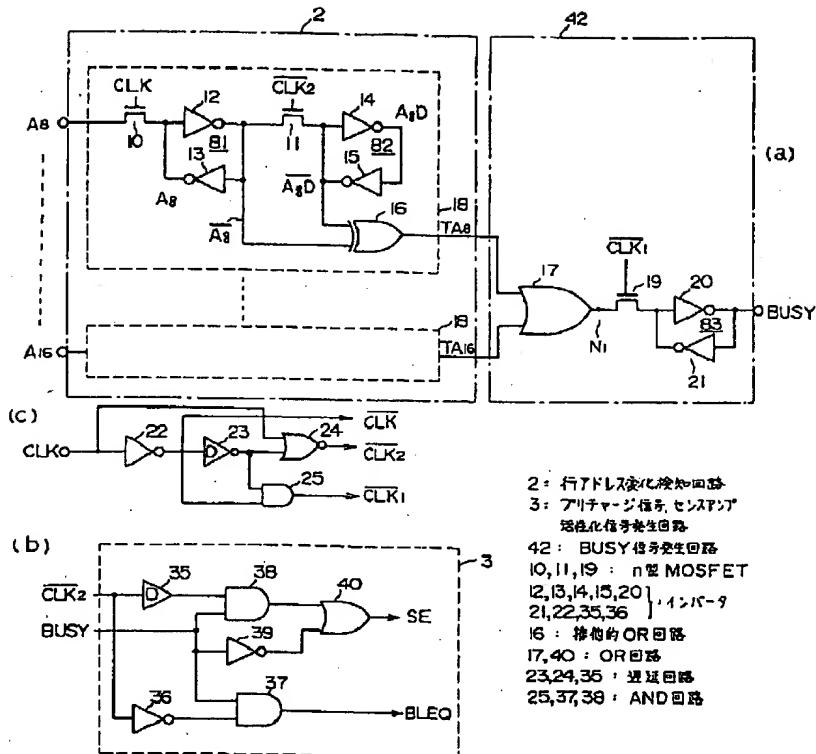
41: リフレッシュ, 917
45,46,48,49: MOSFET
50: 抵抗
51: キャパシタ
52,53,54,55: インバータ

第 13 図

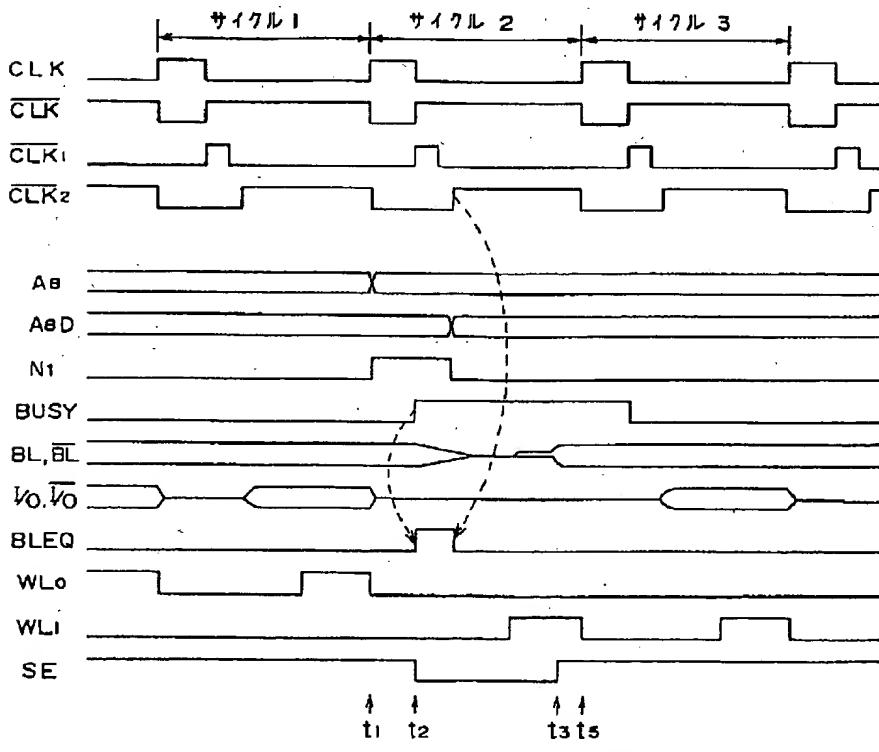


26: センスアンプ
27,28,29,30: MOSFET
31,32: キャパシタ

第2図



第3図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-106782
(43)Date of publication of application : 08.04.1992

(51)Int.CI. G11C 11/401

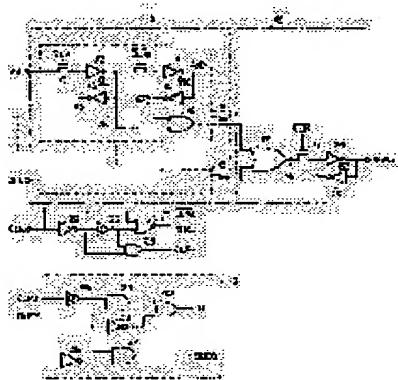
(21)Application number : 02-225627 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 27.08.1990 (72)Inventor : FURUYA KIYOHIRO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To shorten the average cycle time of the semiconductor storage device by executing pre-charge of a bit line and sense amplification of a memory cell, in the case a row address is varied, and executing read/write of data of a necessary address in the next cycle.

CONSTITUTION: When a row address is varied at the start time of a cycle 2, this variation is transferred to a latch circuit 81. Since the previous row address is held in a latch circuit 82, an output TA8 of an exclusive OR circuit 16 becomes H, and a nodal point N1 becomes H. The potential of the nodal point N1 is held in a latch circuit 83, and becomes a BUSY signal. In the cycle 2, a pre-charge signal BLEQ is generated by the BUSY signal, and pre-charge of a bit line BL and sense amplification of memory cell data of a new row are executed. The BUSY signal inhibits an operation of a column decoder in the cycle 2. In a period in which the signal BLEQ is H, the potential of a pair of bit lines is pre-charged to 1/2Vcc. After the bit line is pre-charged, a word line rises, and data of a prescribed memory cell in a memory cell array is read to a pair of bit lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office